

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 3 月 2 日 (02.03.2006)

PCT

(10) 国際公開番号
WO 2006/022387 A1

(51) 国際特許分類:

H02M 1/08 (2006.01) H01L 21/822 (2006.01)
H01L 21/8234 (2006.01) H01L 27/04 (2006.01)
H01L 27/06 (2006.01) H01L 27/095 (2006.01)

(21) 国際出願番号: PCT/JP2005/015575

(22) 国際出願日: 2005 年 8 月 26 日 (26.08.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-246412 2004 年 8 月 26 日 (26.08.2004) JP(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1 0 0 6 番地 Osaka (JP).

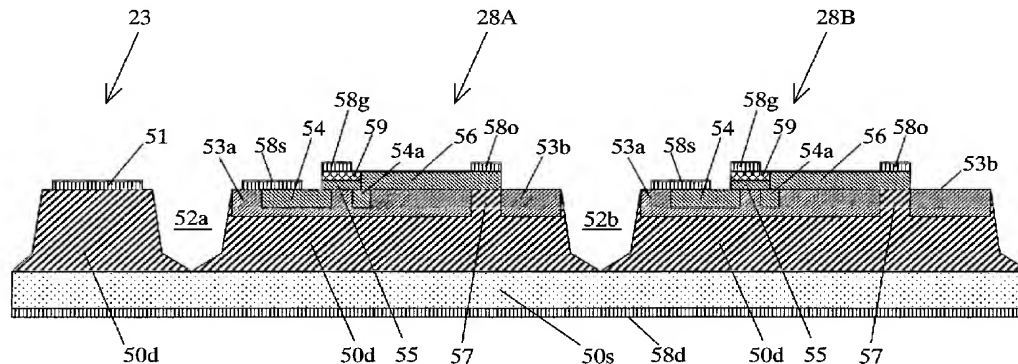
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 北畠 真
(KITABATAKE, Makoto). 楠本 修 (KUSUMOTO,
Osamu). 内田 正雄 (UCHIDA, Masao). 高橋 邦方(TAKAHASHI, Kunimasa). 山下 賢哉 (YAMASHITA,
Kenya). 宮永 良子 (MIYANAGA, Ryoko). 橋本 浩一
(HASHIMOTO, Koichi).(74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒
6500031 兵庫県神戸市中央区東町 1 2 3 番地の 1 貿
易ビル 3 階 有古特許事務所 Hyogo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MODULE USING THE SAME

(54) 発明の名称: 半導体装置及びそれを用いたモジュール



(57) **Abstract:** A semiconductor device (29) is provided with two level shift switches (28A, 28B) having a first electrode, a second electrode, a control electrode and a signal outputting electrode. The switches are also provided with a first semiconductor region which constitutes transistor element parts (28a, 28b), which are arranged between the first electrode and the signal outputting electrode and are controlled to carry electricity or not by corresponding to an input signal to the control electrode, and resistor element parts (Ra, Rb) arranged between the signal outputting electrode and the second electrode. The first semiconductor region is composed of a wide band gap semiconductor. The semiconductor device is also provided with a diode (23) wherein a cathode side electrode, an anode side electrode and a second semiconductor region are arranged and the second semiconductor region is composed of a wide band gap semiconductor.

(57) 要約: 本発明の半導体装置 (29) は、第 1 の電極と第 2 の電極と制御電極と信号出力電極とを有するとともに、第 1 の電極と信号出力電極との間に介在し制御電極への入力信号に応じて導通・非導通の制御がなされるトランジスタ素子部 (28a, 28b) と、信号出力電極と第 2 の電極との間に介在する抵抗素子部 (Ra, Rb) とを構成する第 1 の半導体領域を有し、第 1 の半導体領域がワイドバンドギャップ半導体により構成されている 2 つのレベルシフトスイッチ (28A, 28B) と、カソード側電極およびアノード側電極と第 2 の半導体領域とを有し、第 2 の半導体領域がワイドバンドギャップ半導体により構成されているダイオード (23) とを備えている。

WO 2006/022387 A1



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置及びそれを用いたモジュール

技術分野

- [0001] 本発明は、主として炭化珪素(SiC)、GaN、ダイヤモンド等のワイドバンドギャップ半導体を用いて構成される半導体装置及びそれを用いたモジュールに関する。

背景技術

- [0002] 従来の半導体装置を用いたモジュールの一例としてモータ制御に用いられるインバータの概念図を図10に示す。この図10に示すように、モータ1などを制御する半導体素子(パワー素子)をICおよびモジュールとして用いる場合においては、たとえば制御・ロジック系の低電圧電源2で駆動する低電圧半導体回路からなる制御回路3と、高電圧電源4から供給される高電圧大電流を扱うパワースイッチング素子5H,5Lをワンチップに一体化する、または同じパッケージに実装する技術が難しく、工業的に広く用いられるICおよびモジュールは数少なかつた。現状のSi半導体技術で形成されているパワーICおよびモジュールは、低電圧素子と高電圧素子を電氣的に素子分離する絶縁分離技術を駆使して、かなり複雑なプロセスにより形成される。
- [0003] 特にインテリジェント・パワー・モジュール(IPM)と呼ばれる半導体装置(例えば非特許文献1参照)においては、モータ1などを制御するインバータのパワースイッチング素子(IGBTまたはMOSFET等)のうちハイサイドのパワースイッチング素子5Hのゲートドライブ回路6が、アース電位に対して浮いて高電位状態で動作する必要があり、高電位フローティング電源7も必要である。これは、負荷につながっているハイサイドのパワースイッチング素子5Hとローサイドのパワースイッチング素子5Lとの接続部の電位がパワースイッチング素子の状態によって常に変動しており、この変動している電位に対してハイサイド側のパワースイッチング素子5Hにゲート電位を与えてスイッチング制御をする必要が有るからである。このために、制御回路3から送られてくるアース電位を基準にしたシグナルを、高電位フローティング状態のゲートドライブ回路6に受け渡すレベルシフト技術が必要である。

特許文献1:特開平10-027853号公報

特許文献2:特開平06-260601号公報

特許文献3:特開平08-335863号公報

特許文献4:特開2000-286391号公報

非特許文献1:パワーデバイス・パワーICハンドブック コロナ社 電気学会 高性能
高機能パワーデバイス・パワーIC調査専門委員会編 P. 218

発明の開示

発明が解決しようとする課題

- [0004] 従来のインバータにおいて、Siパワー素子を駆動するためのレベルシフト回路として代表的なのが図10に示したフォトカプラを用いる方式である。これは、制御回路3から送られてくるアース電位を基準にしたシグナルによりLED(発光ダイオード)9が発光し、その光がフォトダイオード8に照射されることによりフォトダイオード8で発生する光電位をシグナルとしてハイサイドのパワースイッチング素子5Hのゲートをドライブする方式である。このようにフォトカプラを用いることにより、高電位フローティング状態のゲートドライブ回路6へシグナルを伝送することができる。フォトカプラは、ハイサイドのパワースイッチング素子1つについて1個必要で、たとえば図10の3相出力のドライブ回路においては、少なくとも3個のフォトカプラと3個のハイサイドゲートドライブ用の電源が必要である。
- [0005] 一方、ローサイドのパワースイッチング素子5Lのゲートドライブ回路10は、低電圧の回路であり、ハイサイドの場合のようにフローティングされた3つの独立の電源を必要としない。1つのローサイド用の電源11の電圧がドライブ回路10により、3つのローサイドのパワースイッチング素子5Lに供給されインバータ制御される。
- [0006] 上記の方式では、ハイサイド側の3つのパワースイッチング素子5H、ゲートドライブ回路6、フローティング電源7、およびレベルシフト回路(フォトダイオード8、LED9)は、実装面である程度の容積を必要とし、モジュールが大型になるという欠点があった。通常、従来のSiパワー素子では、10アンペア[A]のスイッチング素子で $5 \times 5\text{mm}^2$ の大きさを必要とし、ここに、別チップに形成されたゲートドライブ回路6、フォトダイオード8を実装する。この場合、パワースイッチング素子5Hからの発熱を考慮して、他の回路素子はパワースイッチング素子5Hからの発熱の影響を受けない、独立した

放熱機構に実装される。更にフォトダイオード8に光を照射するLED9も別に実装され、フローティング電源7(例えばブートストラップフローティング電源)として、高耐圧のダイオードと抵抗とコンデンサが実装される。これらの素子部品をハイサイド側に3セット、熱放出を考慮して実装させるため、相当の容積を必要とし、10アンペア[A]級のインバータモジュールで $5 \times 5 \text{cm}^2$ 以上の大きさを必要としていた。

[0007] 上記フォトカプラを用いる方式以外のレベルシフト回路として、ゲートドライブICを使用する場合もある。このゲートドライブICは接合分離技術を用い、Siを用いて形成された高耐圧レベルシフタとフリップフロップ回路を統合した高耐圧集積回路である。このゲートドライブICの動作原理について次に述べる。入力されたハイサイドのゲートドライブシグナルは、パルスジェネレータにより立ち上がり部とたち下がり部のパルスに分けられ、これらの2つのパルスシグナルがレベルシフタを介してフローティング状態のフリップフロップ回路に入力され、このフリップフロップの出力によりハイサイドのゲートドライブ回路を駆動する。この場合、電源としては、例えばブートストラップ電源を用いる。

[0008] ここで従来は、高耐圧のレベルシフタやフローティング状態のフリップフロップ回路などを、接合分離などの技術を用いて高耐圧を確保したSiデバイスで構成する必要があり、数百Vから1.2kV程度であっても、素子分離を考慮した特殊なデバイス構造を形成する必要があり、形成方法も複雑で、全ての電極が表面に有る横型素子で構成する必要があり、素子も大型化していた(例えば、特許文献1, 2, 3, 4参照)。

[0009] また、上記レベルシフタは、例えば図1に示すような、抵抗Raを接続したレベルシフトスイッチ28aおよび抵抗Rbを接続したレベルシフトスイッチ28bとして構成されており、この場合、抵抗Ra、抵抗Rbをレベルシフトスイッチ28a、28bに接続しなければならず、そのための配線および配線工程も必要であり、また、外付けの抵抗Ra、Rbが必要となるため、レベルシフタの小型化を妨げることもなっていた。

[0010] 本発明は上記のような課題を解決するためになされたもので、インバータ装置の小型化を図るために有用な半導体装置、及び当該半導体装置に用いられるレベルシフタ、更に当該半導体装置を用いたモジュールを提供することを目的としている。特に、本発明の縦型の電極が表裏面に形成された半導体装置は、パワーチップなどと

積層実装することが可能であり、小型化を実現できる。

課題を解決するための手段

- [0011] 上記目的を達成するために、本発明の半導体装置は、第1の電極と第2の電極と制御電極と信号出力電極とを有するとともに、前記第1の電極と前記信号出力電極との間に介在し前記制御電極への入力信号に応じて導通し又は非導通となるトランジスタ素子部と、前記信号出力電極と前記第2の電極との間に介在する抵抗素子部とを構成する第1の半導体領域を有し、前記第1の半導体領域がワイドバンドギャップ半導体により構成されている2つのレベルシフトスイッチと、カソード側電極およびアノード側電極と第2の半導体領域とを有し、前記第2の半導体領域がワイドバンドギャップ半導体により構成されているダイオードとを備えている。
- [0012] このように、ワイドバンドギャップ半導体を用いて形成されたレベルシフトスイッチおよびダイオードは高耐圧で小型化が可能であり、高温下でも動作可能である。したがって半導体装置の小型化が図れ、これを用いたモジュール及びそのモジュールを用いたインバータ装置等の小型化が可能となる。また、本発明におけるレベルシフトスイッチは、従来、外付けされていた抵抗を上記の抵抗素子部としてチップ内部に形成しているので、外付け抵抗およびその配線を省略することができ、装置の小型化および配線工程の簡略化に寄与する。
- [0013] 本発明の半導体装置において、各々の前記レベルシフトスイッチは、前記第1の半導体領域が、第1導電型のワイドバンドギャップ半導体基板と、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と離間して前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリザーブ領域とを有し、前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リザーブ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リザーブ領域上に形成され、前記第2の電極が前記ワイドバンドギャップ半導体基板の裏面に形成され、前記ウェル領域と前記ソース領域と前記リザーブ領域とで前記トラン

ジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されていることが好ましい。なお、リサーフ領域は、レベルシフトスイッチのMOSFETのチャンネル部分、例えば $1\mu\text{m}\sim 10\mu\text{m}$ 程度、ソース領域と離間して形成されている。

[0014] この場合、前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようにワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域が設けられてあってもよく、これによりトランジスタ素子部のしきい値電圧を調整することができる。

[0015] また、本発明の半導体装置において、2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードの前記カソード側電極とが一体化されて共通電極として設けられていることが好ましい。このように共通電極とすることにより、電極の接続工程を省略できる。

[0016] また、本発明の半導体装置において、2つの前記レベルシフトスイッチの第1の半導体領域と前記ダイオードの第2の半導体領域とが、同一のワイドバンドギャップ半導体基板およびその上に形成されたワイドバンドギャップ半導体領域からなることが好ましい。これにより、2つのレベルシフトスイッチとダイオードを1つのチップで構成できる。

[0017] この場合、各々の前記レベルシフトスイッチは、前記第1の半導体領域の前記ワイドバンドギャップ半導体基板が第1導電型であり、前記第1の半導体領域の前記ワイドバンドギャップ半導体領域が、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と離間して前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを有し、前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リサーフ領域上に形成され、前記第

2の電極が前記ワイドバンドギャップ半導体基板の裏面に形成され、前記ウェル領域と前記ソース領域と前記リサーフ領域とで前記トランジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されていることが好ましい。なお、リサーフ領域は、レベルシフトスイッチのMOSFETのチャンネル部分、例えば $1\mu\text{m}\sim 10\mu\text{m}$ 程度、ソース領域と離間して形成されている。

この場合、前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようにワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域が設けられてあってもよく、これによりトランジスタ素子部のしきい値電圧を調整することができる。

[0018] また、2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードのカソード側電極とが一体化された共通電極として前記ワイドバンドギャップ半導体基板の裏面に配置され、2つの前記レベルシフトスイッチの前記第1の電極と前記信号出力電極と前記ダイオードのアノード側電極とが前記ワイドバンドギャップ半導体基板の表面側に配置されていることが好ましい。このように共通電極とすることにより、電極の接続工程を省略できる。

[0019] また、2つの前記レベルシフトスイッチおよび前記ダイオードの各々は、前記ワイドバンドギャップ半導体基板の表面側においてメサ構造またはpn接合により素子分離されていることが好ましい。

[0020] また、以上の本発明の半導体装置において、前記ダイオードは、前記アノード側電極がショットキー電極となるショットキーダイオードであることが好ましい。ショットキーダイオードを用いることで順方向電圧降下が小さく、高速動作が可能となる。

[0021] また、以上の本発明の半導体装置において、ワイドバンドギャップ半導体が炭化珪素であることが好ましい。

[0022] 本発明のモジュールは、直流電圧が印加される高電位側電源線と低電位側電源線との間に、前記高電位側電源線に高電位側電極が接続されハイサイドのゲートドライバ信号に基づいてオンオフ制御されるハイサイドのパワースイッチング素子と、前

記低電位側電源線に低電位側電極が接続されローサイドのゲートドライブ信号に基づいてオンオフ制御されるローサイドのパワースイッチング素子とが直列接続され、前記ハイサイドのパワースイッチング素子の低電位側電極と前記ローサイドのパワースイッチング素子の高電位側電極とに接続される出力端子が備えられたインバータ主回路部と、ローサイドのゲートドライブ用電源から電源電圧が供給され、前記ローサイドのパワースイッチング素子をオンオフ制御するためのローサイド制御信号に基づいて前記ローサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するローサイドのゲートドライブ回路と、前記出力端子に一方の電極が電氣的に接続されたコンデンサと、カソード側電極が前記コンデンサの他方の電極と接続され前記ローサイドのパワースイッチング素子がオンしたときにアノード側電極に前記ローサイドのゲートドライブ用電源からの電流が流れ込むダイオードと、第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電氣的に接続され、前記第2の電極が前記コンデンサの他方の電極と電氣的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の開始時に前記制御電極に第1のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第1のパルスよりも高い電位を有する第2のパルスが前記信号出力電極から出力される第1のレベルシフトスイッチと、第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電氣的に接続され、前記第2の電極が前記コンデンサの他方の電極と電氣的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の終了時に前記制御電極に第3のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第3のパルスよりも高い電位を有する第4のパルスが前記信号出力電極から出力される第2のレベルシフトスイッチと、前記コンデンサの両端の電圧が電源電圧として供給され、前記第1のレベルシフトスイッチの前記信号出力電極から出力される前記第2のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオンさせ、前記第2のレベルシフトスイッチの前記信号出力電極から出力される前記第4のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオフさせるためのハイサイド制御信号を生成し出力

する信号生成回路と、前記コンデンサの両端の電圧が電源電圧として供給され、前記信号生成回路から出力される前記ハイサイド制御信号に基づいて前記ハイサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するハイサイドのゲートドライブ回路とを1組以上備えたインバータ装置に用いられ、前記第1および第2のレベルシフトスイッチと前記ダイオードとを構成する請求項1から11のうちいずれか1項に記載の半導体装置と前記ローサイドのパワースイッチング素子とを実装し前記出力端子と電氣的に接続される導電性実装基板と、前記一方の電極が前記導電性実装基板と接続され前記他方の電極が前記半導体装置の2つの前記レベルシフトスイッチの前記第2の電極および前記ダイオードの前記カソード側電極と電氣的に接続された前記コンデンサと、前記導電性実装基板に低電位側電極が電氣的に接続された前記ハイサイドのパワースイッチング素子と、前記半導体装置の2つの前記レベルシフトスイッチの前記信号出力電極と前記コンデンサとに電氣的に接続された前記信号生成回路と、前記信号生成回路と前記ハイサイドのパワースイッチング素子と前記コンデンサとに電氣的に接続された前記ハイサイドのゲートドライブ回路とを1組以上備えている。

[0023] この構成によれば、上記のように小型化の図れる本発明の半導体装置を用いているため、小型のインバータモジュールを実現することができる。

[0024] 本発明のモジュールにおいて、前記コンデンサがチップコンデンサであり、前記チップコンデンサが前記導電性実装基板上に実装され、前記チップコンデンサ上に前記半導体装置が積層実装されていることが好ましい。これにより、モジュールの小型化がより図れる。

[0025] この場合、前記ローサイドのパワースイッチング素子と前記チップコンデンサと前記半導体装置とが搭載された導電性実装基板が、前記ハイサイドのパワースイッチング素子の低電位側電極上に積層実装されていることが好ましい。これにより、モジュールの小型化がさらにより図れる。

[0026] また、本発明のモジュールにおいて、前記ハイサイドのパワースイッチング素子上に、前記信号生成回路および前記ハイサイドのゲートドライブ回路を構成するチップが積層実装されていることが好ましい。これにより、モジュールの小型化がより図れる。

。

[0027] また、本発明の他の半導体装置は、第1導電型の半導体基板と、前記半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と離間して前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域と、前記ソース領域上に形成された第1の電極と、前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成された制御電極と、前記リサーフ領域上に形成された信号出力電極と、前記半導体基板の裏面に形成された第2の電極とを備えている。なお、リサーフ領域は、例えば $1\mu\text{m}\sim 10\mu\text{m}$ 程度、ソース領域と離間して形成されている。

[0028] この構成によれば、制御電極への入力信号に応じて第1の電極に接続されるソース領域とリサーフ領域との間の導通・非導通の制御がなされるトランジスタ素子部が形成され、半導体基板の表面側の信号出力電極と裏面側の第2の電極との間で信号出力電極の直下部分のリサーフ領域と一部領域を含むドリフト層と半導体基板とによる抵抗素子部が形成される。第1の電極と第2の電極間にある電圧が印加され、トランジスタ素子部が非導通時には信号出力電極に第2の電極と等しい電位が出力され、導通時には、第2の電極と第1の電極間の電圧が上記の抵抗素子部とトランジスタ素子部の内部抵抗とによって分圧された電圧に相当する電位、すなわち、第2の電極の電位より抵抗素子部による電圧降下分低い電位が信号出力電極から出力されるレベルシフトスイッチを実現できる。従来、外付けされていた抵抗を上記の抵抗素子部としてチップ内部に形成しているので、外付け抵抗およびその配線を省略することができ、装置(レベルシフタ)の小型化および配線工程の簡略化を図ることができる。

。

[0029] また、上記の他の半導体装置において、前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するように形成された第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域が設けられてあってもよく、これによりトランジスタ素子部

のしきい値電圧を調整することができる。

なお、本明細書中においていう「ワイドバンドギャップ半導体」とは、伝導帯の下端と価電子帯の上端とのエネルギー差であるバンドギャップが2.0eV以上である半導体のことを意味する。このようなワイドバンドギャップ半導体としては、炭化珪素(SiC)、GAN, AlN等のIII族窒化物、ダイヤモンド等が挙げられる。

[0030] 本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

発明の効果

[0031] 本発明は、以上に説明した構成を有し、インバータ装置等に用いられその小型化を図ることができる半導体装置及びそれを用いたモジュールを提供することができるという効果を奏する。

図面の簡単な説明

[0032] [図1]図1は本発明の実施の形態に係るインバータの回路構成の一例を示す回路図である。

[図2]図2は本発明の実施の形態に係るインバータの回路構成の他の例を示す回路図である。

[図3]図3は本発明の実施の形態に係るインバータの各部の信号のタイミングチャートである。

[図4]図4は本発明の実施の形態に係る半導体装置(集積チップ)の断面視における構造の一例を示す図である。

[図5]図5は本発明の実施の形態に係る半導体装置(集積チップ)の断面視における構造の他の例を示す図である。

[図6]図6は本発明の実施の形態に係る半導体装置(集積チップ)の断面視における構造の別の他の例を示す図である。

[図7]図7は本発明の実施の形態に係るインバータモジュールの構成の一例を示す概念図である。

[図8]図8は本発明の実施の形態に係るインバータモジュールの構成の他の例を示す概念図である。

[図9]図9は本発明の実施の形態に係るインバータモジュールの構成の別の他の例を示す概念図である。

[図10]図10は従来のモータ制御に用いられるインバータの概念図である。

符号の説明

- [0033]
- 1 3相モータ
 - 2 低電圧電源
 - 3 制御回路
 - 4 高電圧電源
 - 5H ハイサイドのパワースイッチング素子
 - 5L ローサイドのパワースイッチング素子
 - 6 ハイサイドのゲートドライブ回路
 - 7 高電位フローティング電源
 - 8 フォトダイオード
 - 9 LED
 - 10 ローサイドのゲートドライブ回路
 - 11 ローサイドゲートドライブ用電源
 - 21 ローサイドのパワースイッチング素子
 - 21s ソース電極
 - 21g ゲート電極
 - 21d ドレイン電極
 - 22 抵抗
 - 23 ダイオード
 - 24 ブートストラップコンデンサ
 - 25 ハイサイドのパワースイッチング素子
 - 25s ソース電極
 - 25g ゲート電極
 - 25d ドレイン電極
 - 26 ハイサイドのゲートドライブ回路

27 フリップフロップ回路
28A, 28B 抵抗内蔵レベルシフトスイッチ
28a, 28b レベルシフトスイッチ
29 集積チップ
31 絶縁板
41 チップコンデンサ
42 導電板
43 インバータ出力端子
50s 第1導電型のワイドバンドギャップ半導体基板
50d 第1導電型のドリフト層
51 ショットキー電極
52a, 52b メサ分離部
53a, 53b 第2導電型のウェル領域
54 第1導電型のソース領域
55 第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域
56 第1導電型又は第1導電型と真性半導体の積層構造のリソース領域
57 JFET領域
58s ソース電極
58g ゲート電極
58o 出力電極
58d 共通電極
59 ゲート絶縁膜

発明を実施するための最良の形態

[0034] 以下、本発明の好ましい実施の形態を、図面を参照しながら説明する。

(実施の形態)

[レベルシフト用回路]

本発明の実施の形態の半導体装置はレベルシフト用回路であり、例えば図10のようにモータを制御するインバータに用いられる。このインバータの回路構成は、図10

において、ハイサイドのパワースイッチング素子5Hを制御する部分の構成に特徴を有している。

[0035] 図1は、本発明の実施の形態におけるインバータの回路構成の一例を示す回路図である。図1では、例えば図10のように3組あるローサイドとハイサイドのパワースイッチング素子のうち1組(3相のうちの1相)について抜き出して示している。

[0036] ハイサイドのパワースイッチング素子25(図10では5H)とローサイドのパワースイッチング素子21(図10では5L)とが直列接続され、その両端に高電圧電源4(図10参照)が接続されている。ローサイドのパワースイッチング素子21は、ゲートドライブ回路10によって制御される。このゲートドライブ回路10を介してゲート電極21gに印加される電圧は、ローサイド用の電源11によって供給される。また、この電源11は、抵抗22、高耐圧ダイオード23、コンデンサ24を介して、ローサイドのパワースイッチング素子21のドレイン電極21dと接続されている。この部分はブートストラップ電源として機能し、ローサイドのパワースイッチング素子21がオン(導通)の場合に、電源11の電圧がコンデンサ24に蓄えられる。また、ローサイドのパワースイッチング素子21のドレイン電極21dは、出力端子43とハイサイドのパワースイッチング素子25のソース電極25sとに接続されており、ハイサイドのパワースイッチング素子25のドレイン電極25dは、高電圧電源4(図10参照)の高電位側の電位HVが与えられる電源線に接続されている。

[0037] コンデンサ24に蓄えられた電圧は、ゲートドライブ回路26及びフリップフロップ回路27の電源電圧として供給される。

[0038] ハイサイドのパワースイッチング素子25のゲート電極25gには、電氣的にフローティング状態にあるゲートドライブ回路26により、ハイサイドのパワースイッチング素子25のソース電極25sの電位(ノードFの電位)か、ソース電極25sの電位よりもコンデンサ24の両端の電圧(F-R間の電圧)分高い電位(ノードRの電位)かが与えられる。ゲートドライブ回路26は、フリップフロップ回路27から入力される制御信号27-outに応じて、ノードFの電位とノードRの電位のいずれかを選択して出力する。フリップフロップ回路27は、nMOSFETからなる2つのレベルシフトスイッチ28a、28bからタイミングの異なるパルス信号28a-out、28b-outが与えられることで、矩形波の制御信号27

-outをゲートドライブ回路26へ出力する。2つのレベルシフトスイッチ28aと28bから供給されるパルス信号28a-out、28b-outにより、フリップフロップ回路27から出力される矩形波の立ち上がりと立ち下りのタイミングが決められる。上記矩形波は、ハイサイドのパワースイッチング素子25のゲート制御信号として機能する。2つのレベルシフトスイッチ28a、28bはパルス発生回路30から出力されるパルス信号Sa、Sbによって制御され、パルス発生回路30は制御回路3から出力されるハイサイドの制御信号SHからパルス信号Sa、Sbを生成する。制御回路3は、ハイサイドの制御信号SHをパルス発生回路30へ出力するとともにローサイドの制御信号SLをローサイドのゲートドライブ回路10へ出力する。ローサイドのゲートドライブ回路10は、ローサイドの制御信号SLが例えばハイレベルの間、ローサイド用の電源11の電圧をパワースイッチング素子21のゲート電極21gへ印加し、パワースイッチング素子21をオンさせる。なお、制御回路3から出力されるハイサイドの制御信号SHは、ローサイドの制御信号SLと同様、アース電位を基準にした信号である。

[0039] この回路において、ローサイドのパワースイッチング素子21とハイサイドのパワースイッチング素子25との接続点であるノードFは、スイッチング素子21、25の動作状態により、アース電位から高電位の正電位HVまで変化するため、ハイサイドのパワースイッチング素子25のゲート電極25gへ与える電位は、図1の点線Aで囲んだ部分をフローティング状態とし、制御する必要がある。上記フローティング部分に制御信号をレベルシフトして供給するのがレベルシフトスイッチ28aと28bである。

[0040] さらに図3を用いて図1に示す構成の動作を詳しく説明する。図3は、図1における各部の信号のタイミングチャートである。

[0041] まず、制御回路3から出力されるローサイドの制御信号SLによってローサイドのゲートドライブ回路10が駆動され、ローサイドのパワースイッチング素子21のオン(導通)/オフ(非導通)の制御がなされる。図3の時刻t1において、ゲートドライブ回路10からゲートバイアス21s-gが与えられ、スイッチング素子21がオンし、出力端子43(OUT)およびコンデンサ24の一端(ノード)Fはアース電位となる。この時に、コンデンサ24の一端Fのアース電位に対して、電源11の電位が抵抗22及びダイオード23を介してコンデンサ24の他端に与えられ、コンデンサ24が充電されてF-R間の電圧

が上昇する。

[0042] 時刻 t_2 において、ゲートバイアス $21s-g$ が無くなると、スイッチング素子21がオフとなり、負荷によって出力端子43 (OUT) およびコンデンサ24の一端Fの電位が変化する。コンデンサ24の一端Fの電位が変化してもコンデンサ24に蓄えられた電荷は保存されるため、F-R間の電圧は変化しない。

[0043] 時刻 t_3 から t_4 において、図1に示すように制御回路3からハイサイドの制御信号SHが出力されると、パルス発生回路30は、制御信号SHの立ち上がりおよび立ち下がりエッジを検出し、立ち上がりエッジの検出にตอบสนองしてパルス信号Saを発生し、立ち下がりエッジの検出にตอบสนองしてパルス信号Sbを発生する。パルス信号Saが出力されている間レベルシフトスイッチ28aがオンし、そのオンしている間、図3のパルス信号28a-outが出力され(時刻 t_3)、パルス信号Sbが出力されている間レベルシフトスイッチ28bがオンし、そのオンしている間、パルス信号28b-outが出力される(時刻 t_4)。ここで、パルス信号28a-outの電位は、それが出力されときのコンデンサ24の端子(ノード)Rの電位と接地電位間の電圧が抵抗Raとレベルシフトスイッチ28aの内部抵抗とによって分圧された電圧に相当する電位、すなわち、コンデンサ24の端子Rの電位よりも抵抗Raによる電圧降下分低い電位である。同様に、パルス信号28b-outの電位は、それが出力されときのコンデンサ24の端子Rの電位と接地電位間の電圧が抵抗Rbとレベルシフトスイッチ28bの内部抵抗とによって分圧された電圧に相当する電位、すなわち、コンデンサ24の端子Rの電位よりも抵抗Rbによる電圧降下分低い電位である。これらのパルス信号28a-out、28b-outのパルス電位は、パルス信号Sa、Sbのパルス電位よりも高い電位である。

[0044] フローティング状態のフリップフロップ回路27は、時刻 t_3 で、レベルシフトスイッチ28aからパルス信号28a-outが入力されるとその出力27-outが高レベル側になり、それに応じて、ハイサイドのゲートドライブ回路26は、ノードRの電位をその出力26-outとし、ハイサイドのパワースwitching素子25にゲートバイアス $25s-g$ が印加される。ここで、ハイサイドのパワースwitching素子25はオンし、出力端子43の電位OUTおよびコンデンサ24の一端Fの電位は高電位HVとなる。

[0045] 時刻 t_4 において、レベルシフトスイッチ28bからパルス信号28b-outがフリップフロップ

ブ回路27に入力されると、フリップフロップ回路27の出力27-outが低レベル側となり、それに応じて、ハイサイドのゲートドライブ回路26は、ノードFの電位をその出力26-outとし、ハイサイドのパワースイッチング素子25に印加されるゲートバイアス25s-gが無くなり(0になる)、スイッチング素子25がオフし、負荷によって出力端子43の電位OUTおよびコンデンサ24の一端Fの電位は変化する。

[0046] 以降、同様にして上記の時刻 $t_1 \sim t_4$ の状態を繰り返し、図1の回路をインバータとして機能させることが出来る。

[0047] また、図2のように回路構成を変更してもよい。図2では、ブートストラップ電源の一部を構成している抵抗22を、ローサイドゲートドライブ用電源11に直接接続せずに、ローサイドのゲートドライブ回路10の出力線に接続している点のみが図1と異なる。このように抵抗22を接続しても動作は図1の場合と同様である。すなわち、図2の場合、スイッチング素子21をオンさせる期間に、ゲートドライブ回路10から電源11の電圧が出力され、その電源11の電圧が出力されている間、スイッチング素子21がオンとなり、コンデンサ24が充電されるので、図1の場合と同様である。

[0048] なお、図1、図2では、ハイサイドの制御信号SHを入力してパルス信号Sa、Sbを生成するパルス発生回路30を設けているが、制御回路3がパルス信号Sa、Sbを発生して直接レベルシフトスイッチ28a、28bへ入力するように構成してもよい。また、図1、図2では、1相分の回路構成しか示していないが、複数相例えば3相の場合は、制御回路3は3相分の制御信号SL、SHを出力するものである。パルス発生回路30は各相ごとに設けられるものとしてもよいし、制御回路3から各相の制御信号SHを入力し、パルス発生回路30が各相へ振り分けてパルス信号Sa、Sbを出力するように構成してもよい。あるいは、制御回路3が各相のパルス信号Sa、Sbを発生して直接各相のレベルシフトスイッチ28a、28bへ入力するように構成してもよい。制御回路3がパルス信号Sa、Sbを出力する場合は、ハイサイドのパワースイッチング素子25をオンさせる期間の開始時点にパルス信号Saをレベルシフトスイッチ28aへ出力し、終了時点にパルス信号Sbをレベルシフトスイッチ28bへ出力するようにすればよい。

[0049] 本発明の実施の形態では、図1または図2の破線で囲まれた部分(以下、レベルシフト用回路という)を、同一チップのワイドバンドギャップ半導体基板に集積している(

集積チップ29)。このレベルシフト用回路のレベルシフトスイッチ28a、28bとダイオード23は耐圧が重要である。レベルシフトスイッチ28a、28bは、パワースwitchング素子25のゲート制御回路の一部なので大電流は要求されず、小型のワイドバンドギャップ半導体素子として集積して形成可能である。この耐圧が要求されるゲート制御回路の一部を集積化することにより部品点数を減らし、例えばインバータモジュールを小型化できる。また、この耐圧を要求されるレベルシフト用回路(集積チップ29)は、ブートストラップ電源の一部とレベルシフトスイッチであり、これらは回路的に別機能の回路部分であり、従来、集積化の発想はなかった。

[0050] また、本発明の実施の形態では、集積化する際、レベルシフトスイッチ28aと抵抗R_aとを1つの素子として構成した抵抗内蔵レベルシフトスイッチ28Aを形成し、レベルシフトスイッチ28bと抵抗R_bとを1つの素子として構成した抵抗内蔵レベルシフトスイッチ28Bを形成している。このようにすることで、抵抗内蔵レベルシフトスイッチ28A、28Bとダイオード23のそれぞれの一端子が、コンデンサ24の一方の端子Rに共通に結線されているため、同一チップに形成することが容易になる。

[0051] 図4は、集積チップ29の断面視における構造を示す図である。この例では、ダイオード23としてショットキーダイオードを用い、ダイオード23および抵抗内蔵レベルシフトスイッチ28A、28Bの各素子間をメサ分離構造により分離している。

[0052] ダイオード23は、第1導電型(例えばn型)のワイドバンドギャップ半導体基板50s上に形成された第1導電型のドリフト層50d表面にショットキーダイオード電極51が配置されたショットキーダイオードであり、メサ分離部52aで囲むことにより、このショットキーダイオードは他の素子と電氣的に分離されている。

[0053] 抵抗内蔵レベルシフトスイッチ28Aは、ダイオード23とメサ分離部52aにより分離されてこれと隣接するように、リサーフ構造を含む縦型のMOSFETによって構成されている。第1導電型のドリフト層50d上に第2導電型(例えばp型)のウェル領域53a、53bが一部領域(JFET領域57)を除いて形成されている。この第2導電型のウェル領域53a中に、第1導電型のソース領域54と、このソース領域54と離れた第1導電型の領域54aとがイオン注入法により形成されている。第2導電型のウェル領域53aの表面に、ソース領域54と連続して、第1導電型又は第1導電型と真性半導体の積層

構造のチャンネル領域55及び第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域56が形成されている。リサーフ領域56は、ウェル領域53aともう一つの第2導電型のウェル領域53bに挟まれた第1導電型のJFET領域57に繋がっている。また、リサーフ領域56は、例えば $1\mu\text{m}\sim 10\mu\text{m}$ 程度、ソース領域54と離間して形成されている。ソース領域54上にはソース電極58sが設けられ、チャンネル領域55表面はゲート絶縁膜59に覆われ、更にゲート絶縁膜59上にゲート電極58gが形成されている。また、リサーフ領域56とJFET領域57の接合部分の上部の表面に出力電極58oが形成されている。

[0054] 抵抗内蔵レベルシフトスイッチ28Bは、抵抗内蔵レベルシフトスイッチ28Aとメサ分離部52bにより分離されてこれと隣接するように、抵抗内蔵レベルシフトスイッチ28Aと同じ構成で形成されている。なお、集積チップ29上でのダイオード23および抵抗内蔵レベルシフトスイッチ28A、28Bの配置は図4の例に限られずどのような配置になってもよい。

[0055] また、この集積チップ29の裏面には、ダイオード23のカソード側電極と抵抗内蔵レベルシフトスイッチ28A、28Bを構成する縦型MOSFETのドレイン電極とが一体化された共通電極58dが形成され、この共通電極58dが図1のコンデンサ24の一端が接続されたノードRへ接続される。本実施の形態では、図4において、電極51、58d、58s、58g、58oおよびゲート絶縁膜59以外の部分は、ワイドバンドギャップ半導体で形成されている。

[0056] 抵抗内蔵レベルシフトスイッチ28A、28Bにおいて、ソース電極58sにはアース電位が与えられるので、ゲート電極58gに正の電位を与えずにソース電極58sの電位と同等の場合は、MOSFETのチャンネル領域55がオフの状態(非導通状態)で、出力電極58oの電位は共通電極58dの電位と等しくなっている。一方、ゲート電極58gに正の電位を与えチャンネル領域55がオンの状態(導通状態)の場合は、共通電極58dから基板50s、ドリフト領域50d、JFET領域57、リサーフ領域56、チャンネル領域55、ソース領域54を通してソース電極58sへ流れる電流により電圧降下が起こり、共通電極58dの電位よりも、共通電極58dと出力電極58o間の電気抵抗(リサーフ領域56の出力電極58oの直下部分とJFET領域57とドリフト領域50dと基板50sの電

気抵抗であり、図1の抵抗Ra, Rbに相当)とそこに流れる電流とのかけ算の値分、低い電位が出力電極58oに出力される。このときの出力電極58oの出力電位は、上記共通電極58dと出力電極58o間の電気抵抗(図1の抵抗Ra, Rbに相当)と、出力電極58oとチャンネル領域55間のリサーチ領域56の電気抵抗(図1のレベルシフトスイッチ28a, 28bの内部抵抗に略相当)とを設計時に調整しておくことで、所望の電位に設定することが可能である。この抵抗内蔵レベルシフトスイッチ28A、28Bのそれぞれの出力電極58oの電位が図1のパルス信号28a-out、28b-outとしてフリップフロップ回路27へ入力される。

[0057] 以上のように構成された抵抗内蔵レベルシフトスイッチ28A、28Bは、従来、外付けされていた図1の抵抗Ra, Rbを内蔵した構成であり、外付け抵抗およびその配線無くすことができ、装置の小型化が図れるとともに外付けのための配線および配線工程を省略することができる。この効果は、本実施の形態のように、抵抗内蔵レベルシフトスイッチ28A、28Bがワイドバンドギャップ半導体を用いて形成される場合に限られず、例えばSi半導体を用いて形成されるような場合にも得られる。

[0058] なお、ゲート絶縁膜59の直下の第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域55はなくてもかまわないが、チャンネル領域55を設けることによりMOSFETのしきい値電圧を調整することができる。特に、本実施の形態のように、SiC等のワイドバンドギャップ半導体を用いて形成される場合、第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域55を設けないとしきい値電圧が高くなるので、チャンネル領域55を設けることでしきい値電圧を低くすることができる。チャンネル領域55を設けている場合は、チャンネル領域55がFETチャンネル領域であり、チャンネル領域55を設けていない場合には、ゲート電極58g直下のウェル領域53aにおいて、その表面及び表面近傍の領域がFETチャンネル領域である。

更に、レベルシフトスイッチ28A、28Bのソース電極58sは共通でもかまわないので、図5のように、2つのレベルシフトスイッチ28A、28Bに共通のソース電極58sを設け、この共通のソース電極58sに対し、2つのレベルシフトスイッチ28A、28Bが左右対称な構造で形成されるようにしてもかまわない。

[0059] また、ダイオード23として、pn接合ダイオードを用いてかまわないが、本実施の形

態のように、ショットキーダイオードを用いた方が、順方向電圧降下が小さく、動作の高速化を図ることができる。

[0060] なお、図4では、メサ分離部52a,52bにより素子分離されているが、メサ分離部52a,52bに代えて、図6のように第1導電型のドリフト層50dとpn接合される第2導電型領域からなる素子分離領域52A,52Bを設けてもよい。また、図5の場合にも、メサ分離部52aに代えて、図6のような第1導電型のドリフト層50dとpn接合される第2導電型領域からなる素子分離領域52Aを設けてもよい。

[0061] [インバータモジュール]

上述のレベルシフト用回路からなる集積チップ29を用いて構成したインバータモジュールの概念図を図7、図8、図9に示す。この図7、図8、図9において、インバータモジュールの負荷につなぐ出力端子43(OUT)は、同様に並列して3つあり、3相モータ1(図10参照)などをドライブする。図7、図8、図9において、ローサイドおよびハイサイドのパワースイッチング素子21、25は、絶縁膜や電極以外の半導体部分がワイドバンドギャップ半導体で形成され、いずれも裏面側にドレイン電極が形成された縦型構造のnMOSFETからなるチップで構成されている。図7、図8、図9では、ローサイドのパワースイッチング素子21のソース電極21s、ゲート電極21gおよびハイサイドのパワースイッチング素子25のソース電極25s、ゲート電極25gは、チップ表面に形成されている外部接続用のパッドを示す。3つそれぞれのローサイドのパワースイッチング素子21のソース電極21sは、それぞれの集積チップ29に集積されている抵抗内蔵レベルシフトスイッチ28A、28Bのソース電極58s(図4参照)と電氣的に接続されるとともに、アース電位が与えられる電源線に接続される。また、それぞれのパワースイッチング素子21の裏面側のドレイン電極はそれぞれの金属板等からなる導電板42と接続されている。各導電板42は、それぞれの出力端子43に接続されるとともに各ローサイドのパワースイッチング素子21と対をなすハイサイドのパワースイッチング素子25のソース電極25sと電氣的に接続される。

[0062] また、3つのハイサイドのパワースイッチング素子25は、共通の金属板等からなる導電板44上に実装されるとともにそれぞれの裏面側のドレイン電極が導電板44と接続されている。この導電板44は、高電圧電源4(図10参照)から高電位側の電位HVが

与えられる電源線に接続される。ハイサイドのパワースイッチング素子25上には、ゲートドライブ回路26と、集積チップ29に集積されている抵抗内蔵レベルシフトスイッチ28A、28Bの出力電極58o(図4参照)と電氣的に接続されるフリップフロップ回路27とが、1つのチップとして積層実装され、フローティング状態で動作する。動作電圧は、ブートストラップ電源のコンデンサ24に蓄積された電荷により供給される。ここで、ゲートドライブ回路26およびフリップフロップ回路27は、Si半導体により構成されていてもワイドバンドギャップ半導体で構成されていてもかまわない。このゲートドライブ回路26とフリップフロップ回路27を内蔵したチップは、その裏面にパワースイッチング素子25のソース電極25sと接続するためのパッド、およびゲート電極25gと接続するためのパッドが設けられて、それぞれ接続されている。

[0063] 図7では、集積チップ29をその様子を示すために大きめに示しているが、集積チップ29は、他のパワースイッチング素子21等と異なり、大電流を制御する必要がないため通常1/10以下の小型の素子となる。図7の場合、集積チップ29を、ローサイドのパワースイッチング素子21を実装した導電板42上に、絶縁板31を挟んで積層実装しており、このようにすると配線などがしやすく小型のモジュールが容易に形成できることが確認された。この図7の場合、コンデンサ24は外付けされ、その一方の端子F(図1、図2参照)が導電板42と接続され、他方の端子R(図1、図2参照)が集積チップ29の共通電極58d(図4参照)とゲートドライブ回路26およびフリップフロップ回路27を内蔵したチップとに接続されている。

[0064] また、図8に示すように、図7の絶縁板31に代えて、例えば積層誘電体コンデンサ等のチップコンデンサ41(=図1のコンデンサ24)を配置すると、外付けのコンデンサおよびその配線が不要となり、更に小型のモジュールを達成することが出来る。このチップコンデンサ41はチップの上面と下面に電極が設けられており、下面の電極(端子F)が導電板42と直接接続され、上面の電極(端子R)が集積チップ29の共通電極58d(図4参照)と直接接続され、その共通電極58dがゲートドライブ回路26とフリップフロップ回路27を内蔵したチップと配線で接続されている。

[0065] 更に、図9に示すように、ローサイドのパワースイッチング素子21とチップコンデンサ41とチップコンデンサ41上に積層実装された集積チップ29とを実装した導電板42

を、ハイサイドのパワースイッチング素子25のソース電極25s上に積層実装すると、さらに小さな容積となりさらなる小型化が達成された。この構成においては、例えば金属板によって構成される導電板42とハイサイドのパワースイッチング素子25のソース電極25sを結線する必要もなくなり、モジュールの構造も更に単純なものとなる。

[0066] なお、図7、図8、図9に示された構成に、さらにローサイドのゲートドライブ回路10、ローサイド用の電源11および抵抗22が接続されてモジュールが構成されることになる。図1、図2のいずれの回路構成の場合も、図7、図8、図9において、電源11から電圧供給を受けるローサイドのゲートドライブ回路10の出力線がパワースイッチング素子21のゲート電極21gに接続される。さらに、図1の回路構成の場合、ダイオード23のショットキー電極51(図4参照)と接続され層間絶縁膜(図示せず)を介して集積チップ29の表面に形成されたアノード側電極(パッド)23sに抵抗22の一端が接続され、その抵抗22の他端が電源11に接続されることになる。また、図2の回路構成の場合、集積チップ29の表面に形成されたダイオード23のアノード側電極23sとパワースイッチング素子21のゲート電極21gとの間に抵抗22が接続されることになる。この場合、パワースイッチング素子21のゲート電極21gとダイオードの電極23sを、図7に点線で示したように、抵抗が高いたとえば細いワイヤLで結線しても良い。また、パワースイッチング素子21のソース電極21sは、抵抗内蔵レベルシフトスイッチ28A、28Bのソース電極とそれぞれ別に結線されているが、抵抗内蔵レベルシフトスイッチ28A、28Bのソース電極を一体とし、その一体とした一つソース電極と一本のワイヤで結線されても良い。ここで、図1、図2のいずれの回路構成の場合もゲートドライブ回路10は各相個別に必要であるが、図1の回路構成の場合、ローサイド用の電源11および抵抗22は、それぞれ、各相について個別に設けなくても、全相(ここでは3相)で共有するようにして1つだけ設けてもよい。また、図2の回路構成の場合、ゲートドライブ回路10に加えて抵抗22も各相個別に必要であるが、ローサイド用の電源11は、各相について個別に設けなくても、全相(ここでは3相)で共有するようにして1つだけ設けてもよい。

[0067] 以上の図7、図8、図9では、抵抗内蔵レベルシフトスイッチ28A、28Bとブートストラップダイオード23の3つの素子を集積化したチップ29を用いた場合について説明し

たが、これら3つの素子が集積化されずにそれぞれ独立の個別チップであってもよく、ワイドバンドギャップ半導体により構成された回路部品は、熱の伝導が良好で加熱しにくい上に、たとえ加熱して400℃程度となっても正常に動作するため、積層実装することが可能であり、モジュールの小型化に寄与する。

[0068] また、上記の集積チップ29およびパワースイッチング素子21, 25のチップをワイドバンドギャップ半導体を用いて構成し、上記のインバータモジュールを構成した場合、集積チップ29部分およびパワースイッチング素子21, 25のチップをSi半導体を用いて構成し、インバータモジュールを構成した場合に比べて、5分の1以下の大きさの高密度化を達成できることを確認した。

[0069] また、上記の実施の形態では、ハイサイドおよびローサイドのパワースイッチング素子21, 25として、ワイドバンドギャップ半導体を用いて構成されたMOSFETを用いたが、同様にしてワイドバンドギャップ半導体を用いて構成されたIGBT、MISFET、MESFETなどを用いても同様の省スペース、省エネルギーを満たすモジュールが実現できる。

[0070] なお、パワースイッチング素子21, 25をSi半導体を用いて構成しても、上記の集積チップ29を用いることで、集積チップ29部分をSi半導体を用いて構成するよりも小型化が図れ、インバータモジュールの小型化も可能となる。

[0071] また、上記の実施の形態では、ハイサイドおよびローサイドのパワースイッチング素子のペアを3組用いた3相インバータ装置を例に説明したが、1組用いる単相ハーフブリッジ回路や2組用いる単相フルブリッジ回路のインバータ装置についても同様に適用できる。

[0072] 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

産業上の利用可能性

[0073] 本発明に係る半導体装置およびモジュールは、コンパクトに実装された低損失、高効率、高速動作が可能なパワーデバイスであり、例えば小型のインバータ等に適用

でき、省スペース、省エネルギーを実現する次世代パワーエレクトロニクスシステム等に有用である。

請求の範囲

- [1] 第1の電極と第2の電極と制御電極と信号出力電極とを有するとともに、前記第1の電極と前記信号出力電極との間に介在し前記制御電極への入力信号に応じて導通し又は非導通となるトランジスタ素子部と、前記信号出力電極と前記第2の電極との間に介在する抵抗素子部とを構成する第1の半導体領域を有し、前記第1の半導体領域がワイドバンドギャップ半導体により構成されている2つのレベルシフトスイッチと、
- カソード側電極およびアノード側電極と第2の半導体領域とを有し、前記第2の半導体領域がワイドバンドギャップ半導体により構成されているダイオードとを備えている半導体装置。
- [2] 各々の前記レベルシフトスイッチは、
- 前記第1の半導体領域が、第1導電型のワイドバンドギャップ半導体基板と、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と離間して前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを有し、
- 前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リサーフ領域上に形成され、前記第2の電極が前記ワイドバンドギャップ半導体基板の裏面に形成され、
- 前記ウェル領域と前記ソース領域と前記リサーフ領域とで前記トランジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されている請求項1記載の半導体装置。
- [3] 前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようにワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構

造のチャンネル領域が設けられている請求項2記載の半導体装置。

- [4] 2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードの前記カソード側電極とが一体化されて共通電極として設けられている請求項1から3のうちいずれか1項に記載の半導体装置。
- [5] 2つの前記レベルシフトスイッチの第1の半導体領域と前記ダイオードの第2の半導体領域とが、同一のワイドバンドギャップ半導体基板およびその上に形成されたワイドバンドギャップ半導体領域からなる請求項1記載の半導体装置。
- [6] 各々の前記レベルシフトスイッチは、
前記第1の半導体領域の前記ワイドバンドギャップ半導体基板が第1導電型であり、前記第1の半導体領域の前記ワイドバンドギャップ半導体領域が、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と離間して前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを有し、
前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リサーフ領域上に形成され、前記第2の電極が前記ワイドバンドギャップ半導体基板の裏面に形成され、
前記ウェル領域と前記ソース領域と前記リサーフ領域とで前記トランジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されている請求項5記載の半導体装置。
- [7] 前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようにワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域が設けられている請求項6記載の半導体装置。
- [8] 2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードのカソード側電

極とが一体化された共通電極として前記ワイドバンドギャップ半導体基板の裏面側に配置され、2つの前記レベルシフトスイッチの前記第1の電極と前記信号出力電極と前記ダイオードのアノード側電極とが前記ワイドバンドギャップ半導体基板の表面側に配置されている請求項5から7のうちいずれか1項に記載の半導体装置。

[9] 2つの前記レベルシフトスイッチおよび前記ダイオードの各々は、前記ワイドバンドギャップ半導体基板の表面側においてメサ構造またはpn接合により素子分離されている請求項5から8のうちいずれか1項に記載の半導体装置。

[10] 前記ダイオードは、前記アノード側電極がショットキー電極となるショットキーダイオードである請求項1から9のうちいずれか1項に記載の半導体装置。

[11] 前記ワイドバンドギャップ半導体が炭化珪素である請求項1から10のうちいずれか1項に記載の半導体装置。

[12] 直流電圧が印加される高電位側電源線と低電位側電源線との間に、前記高電位側電源線に高電位側電極が接続されハイサイドのゲートドライブ信号に基づいてオンオフ制御されるハイサイドのパワースイッチング素子と、前記低電位側電源線に低電位側電極が接続されローサイドのゲートドライブ信号に基づいてオンオフ制御されるローサイドのパワースイッチング素子とが直列接続され、前記ハイサイドのパワースイッチング素子の低電位側電極と前記ローサイドのパワースイッチング素子の高電位側電極とに接続される出力端子が備えられたインバータ主回路部と、

ローサイドのゲートドライブ用電源から電源電圧が供給され、前記ローサイドのパワースイッチング素子をオンオフ制御するためのローサイド制御信号に基づいて前記ローサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するローサイドのゲートドライブ回路と、

前記出力端子に一方の電極が電氣的に接続されたコンデンサと、

カソード側電極が前記コンデンサの他方の電極と接続され前記ローサイドのパワースイッチング素子がオンしたときにアノード側電極に前記ローサイドのゲートドライブ用電源からの電流が流れ込むダイオードと、

第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電氣的に接続され、前記第2の電極が前記コンデンサの他方の

電極と電氣的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の開始時に前記制御電極に第1のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第1のパルスよりも高い電位を有する第2のパルスが前記信号出力電極から出力される第1のレベルシフトスイッチと、

第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電氣的に接続され、前記第2の電極が前記コンデンサの他方の電極と電氣的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の終了時に前記制御電極に第3のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第3のパルスよりも高い電位を有する第4のパルスが前記信号出力電極から出力される第2のレベルシフトスイッチと、

前記コンデンサの両端の電圧が電源電圧として供給され、前記第1のレベルシフトスイッチの前記信号出力電極から出力される前記第2のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオンさせ、前記第2のレベルシフトスイッチの前記信号出力電極から出力される前記第4のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオフさせるためのハイサイド制御信号を生成し出力する信号生成回路と、

前記コンデンサの両端の電圧が電源電圧として供給され、前記信号生成回路から出力される前記ハイサイド制御信号に基づいて前記ハイサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するハイサイドのゲートドライブ回路と

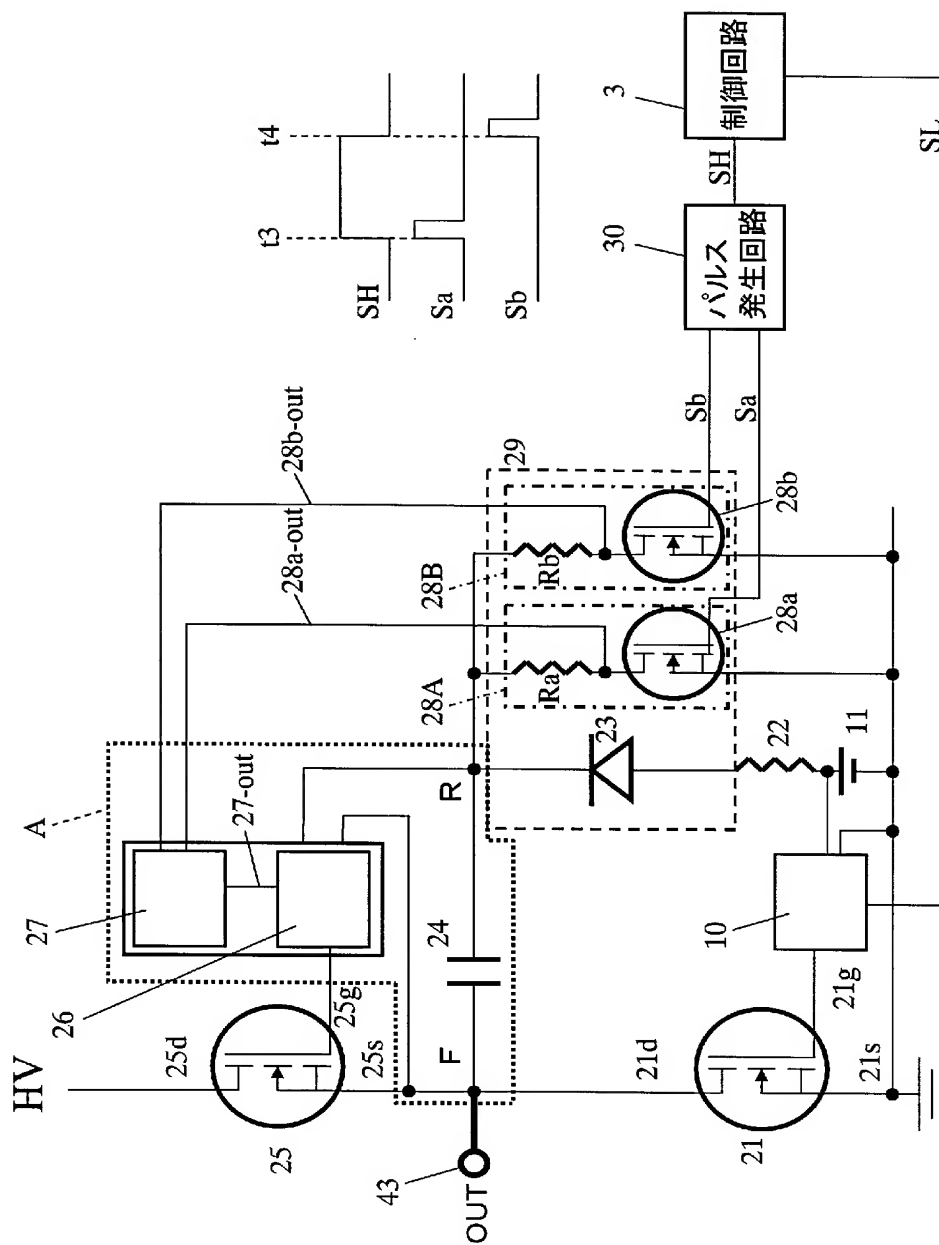
を1組以上備えたインバータ装置に用いられ、

前記第1および第2のレベルシフトスイッチと前記ダイオードとを構成する請求項1から11のうちいずれか1項に記載の半導体装置と前記ローサイドのパワースイッチング素子とを実装し前記出力端子と電氣的に接続される導電性実装基板と、前記一方の電極が前記導電性実装基板と接続され前記他方の電極が前記半導体装置の2つの前記レベルシフトスイッチの前記第2の電極および前記ダイオードの前記カソード側電極と電氣的に接続された前記コンデンサと、前記導電性実装基板に低電位側

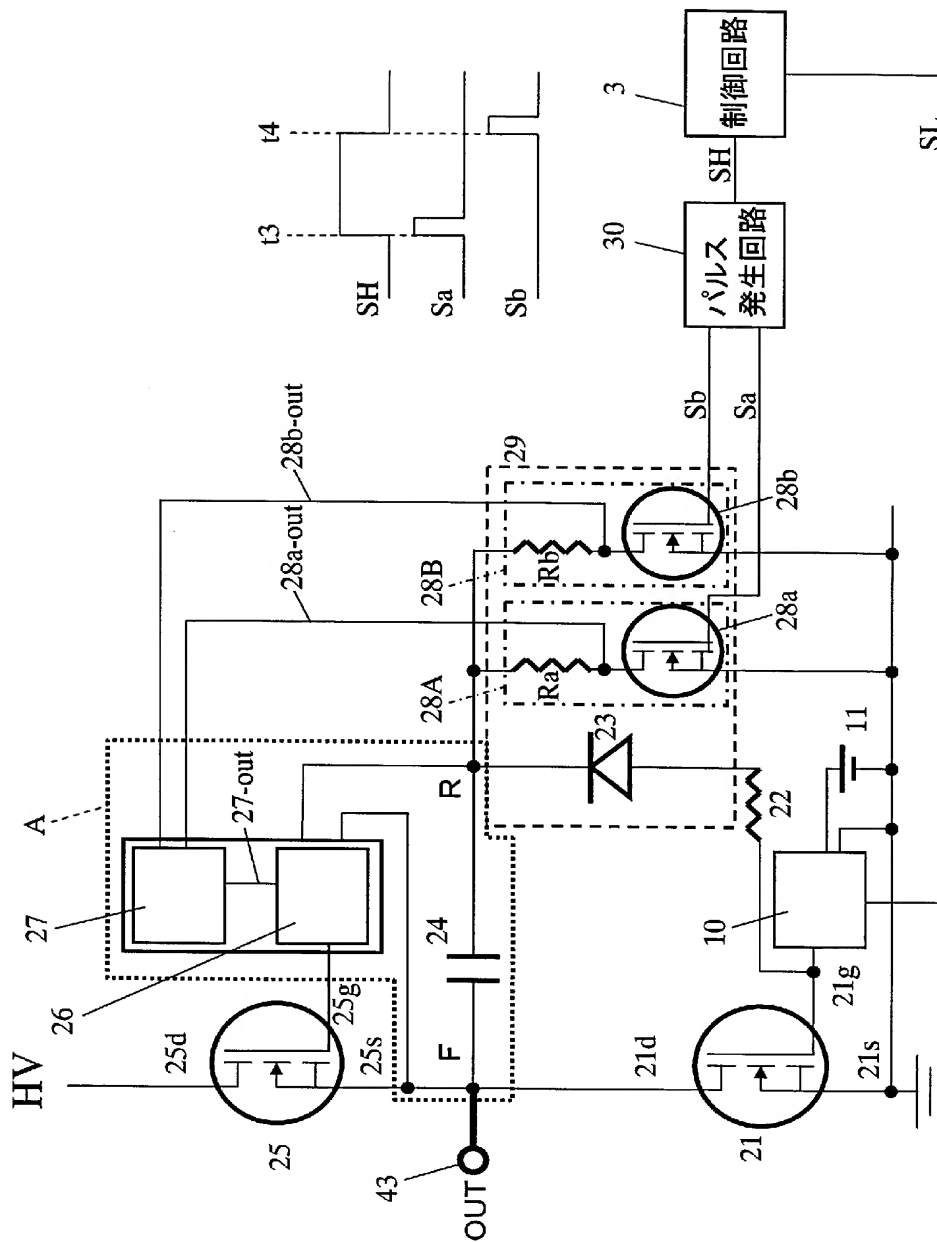
電極が電氣的に接続された前記ハイサイドのパワースイッチング素子と、前記半導体装置の2つの前記レベルシフトスイッチの前記信号出力電極と前記コンデンサとに電氣的に接続された前記信号生成回路と、前記信号生成回路と前記ハイサイドのパワースイッチング素子と前記コンデンサとに電氣的に接続された前記ハイサイドのゲートドライブ回路とを1組以上備えているモジュール。

- [13] 前記コンデンサがチップコンデンサであり、前記チップコンデンサが前記導電性実装基板上に実装され、前記チップコンデンサ上に前記半導体装置が積層実装されている請求項12記載のモジュール。
- [14] 前記ローサイドのパワースイッチング素子と前記チップコンデンサと前記半導体装置とが搭載された導電性実装基板が、前記ハイサイドのパワースイッチング素子の低電位側電極上に積層実装されている請求項13記載のモジュール。
- [15] 前記ハイサイドのパワースイッチング素子上に、前記信号生成回路および前記ハイサイドのゲートドライブ回路を構成するチップが積層実装されている請求項12から14のうちいずれか1項に記載のモジュール。

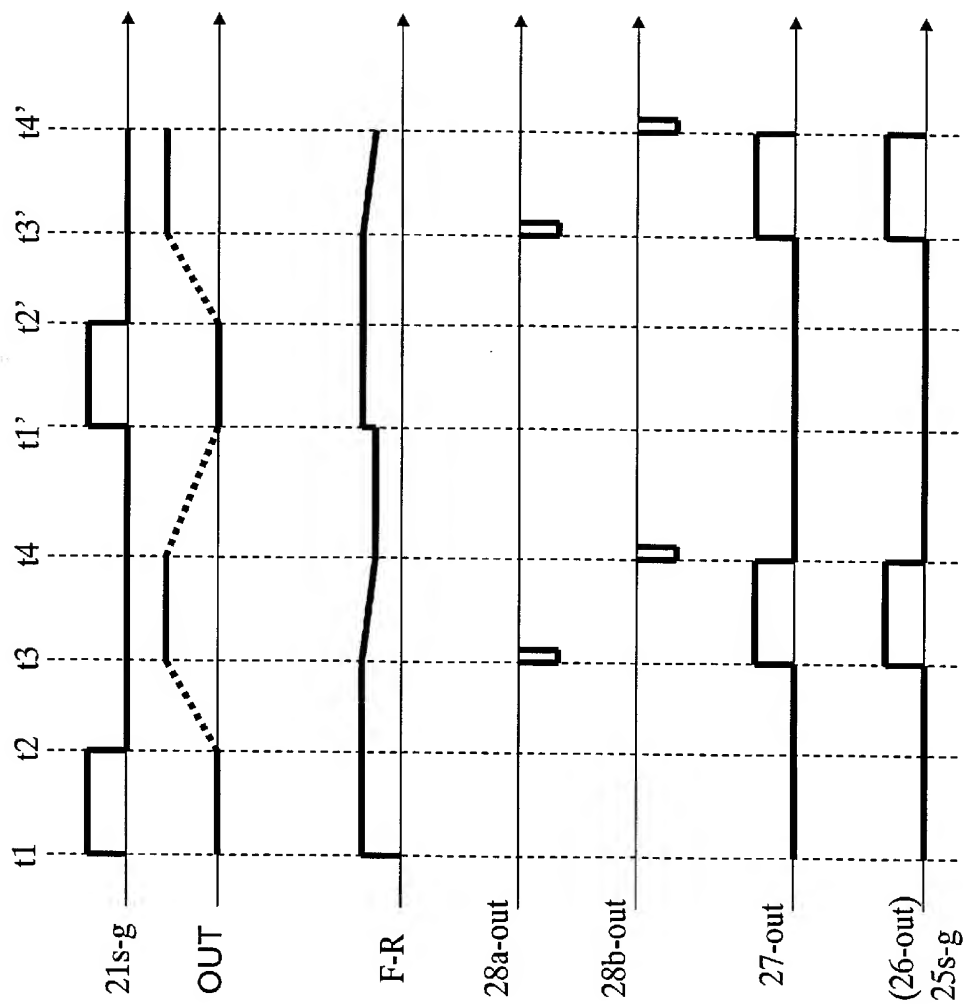
[図1]



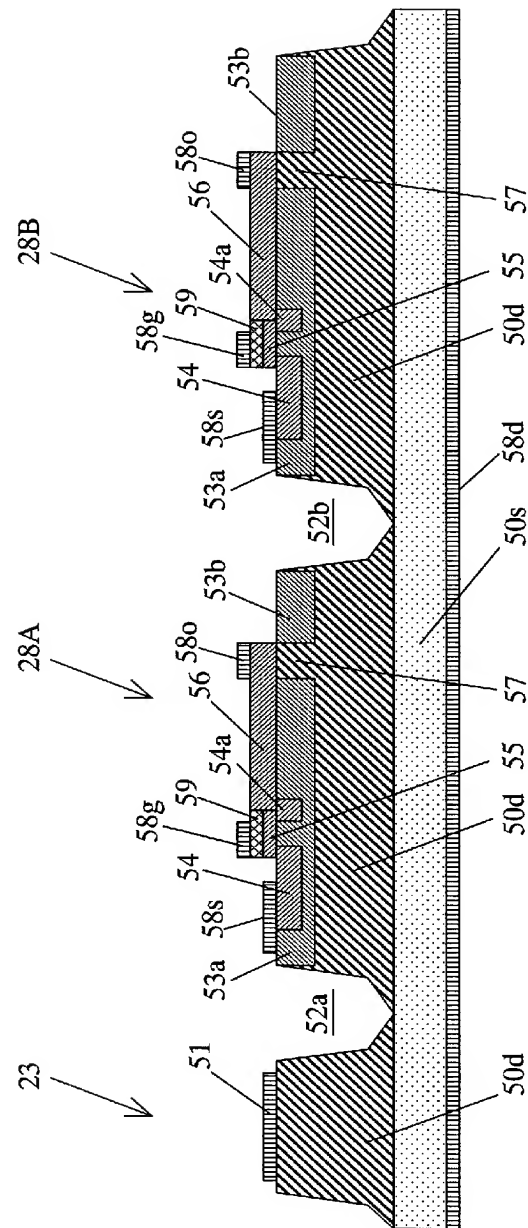
[図2]



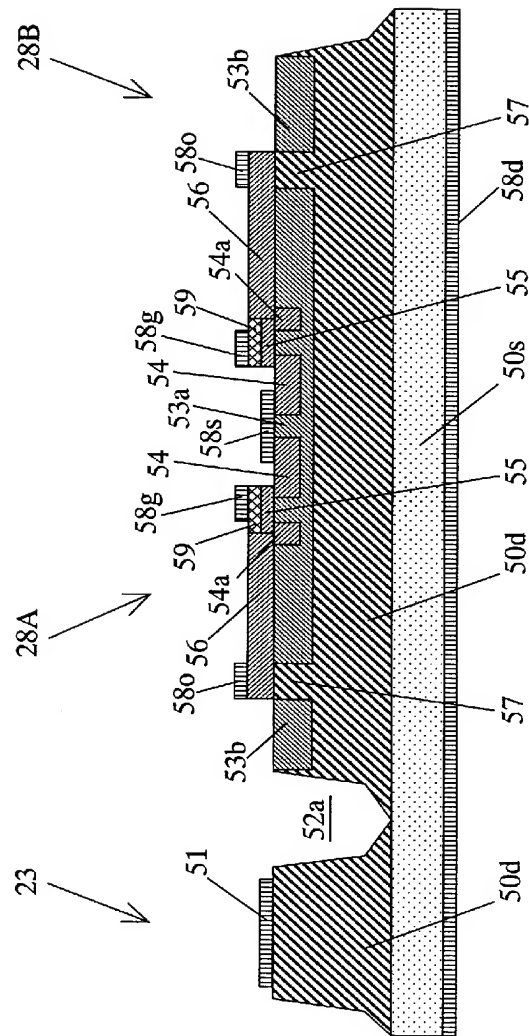
[図3]



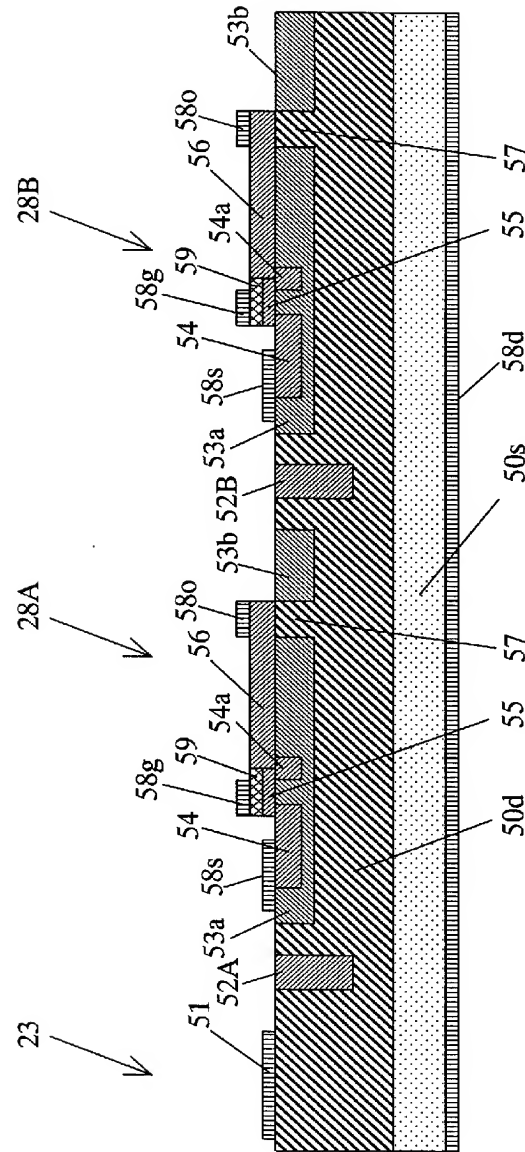
[図4]



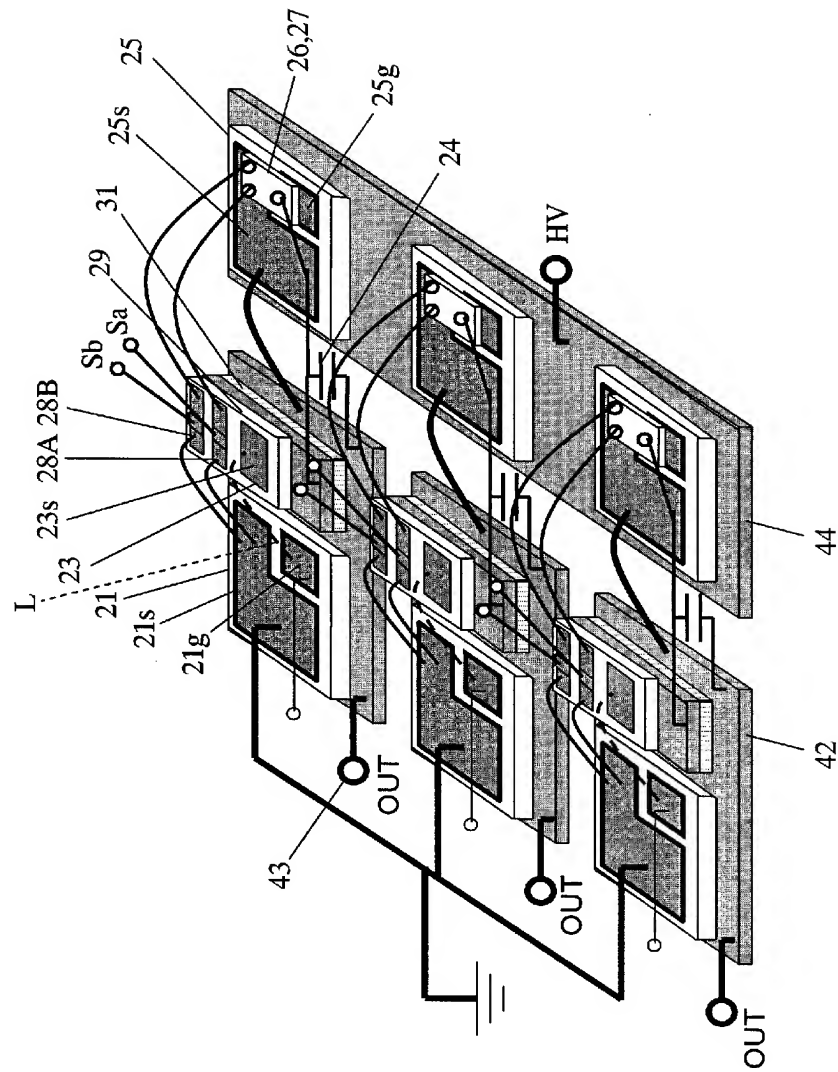
[図5]



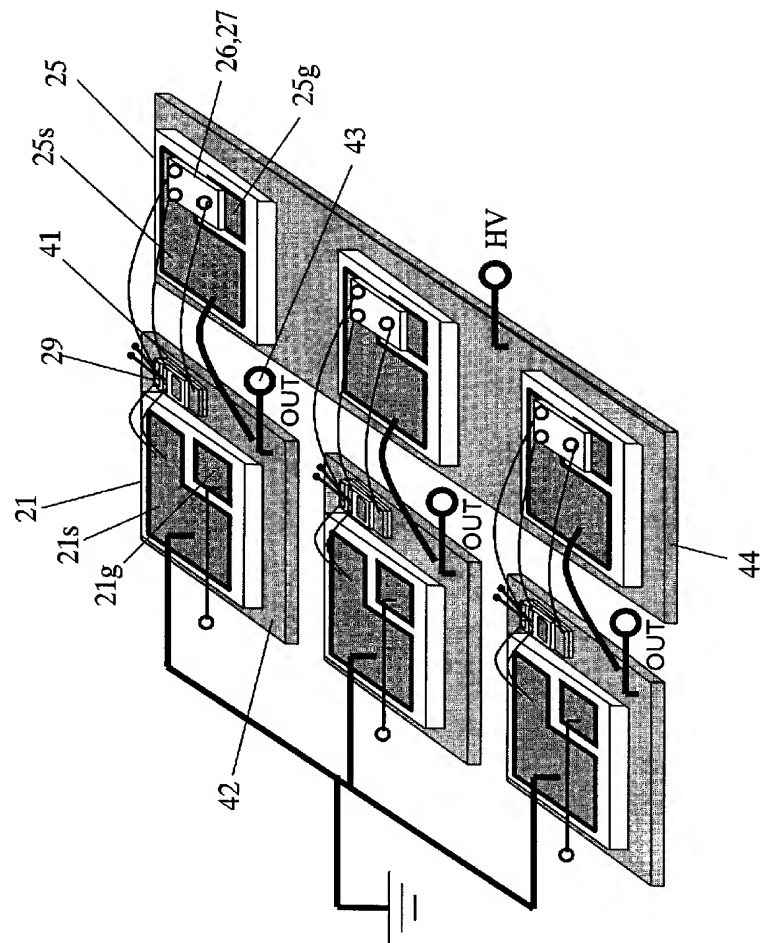
[図6]



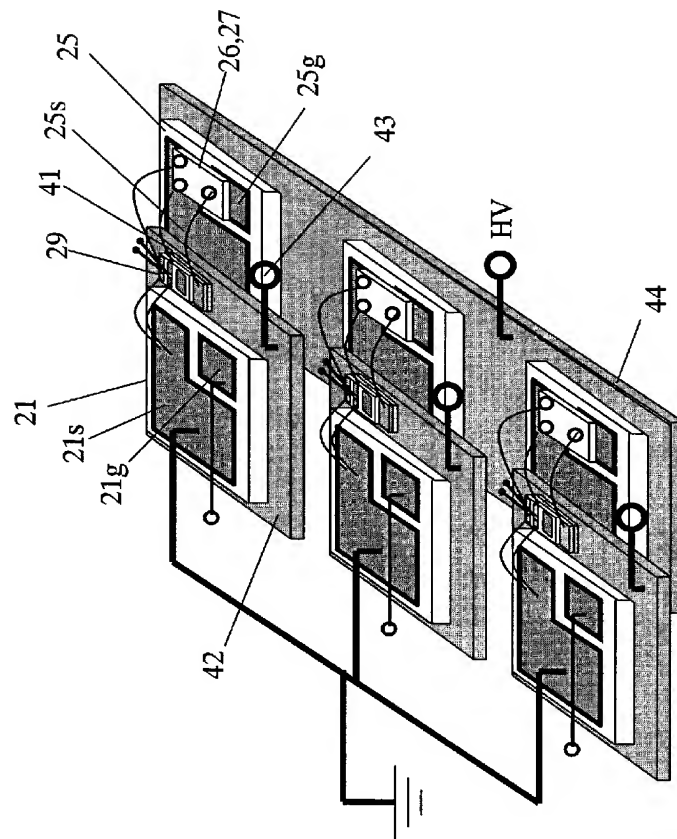
[図7]



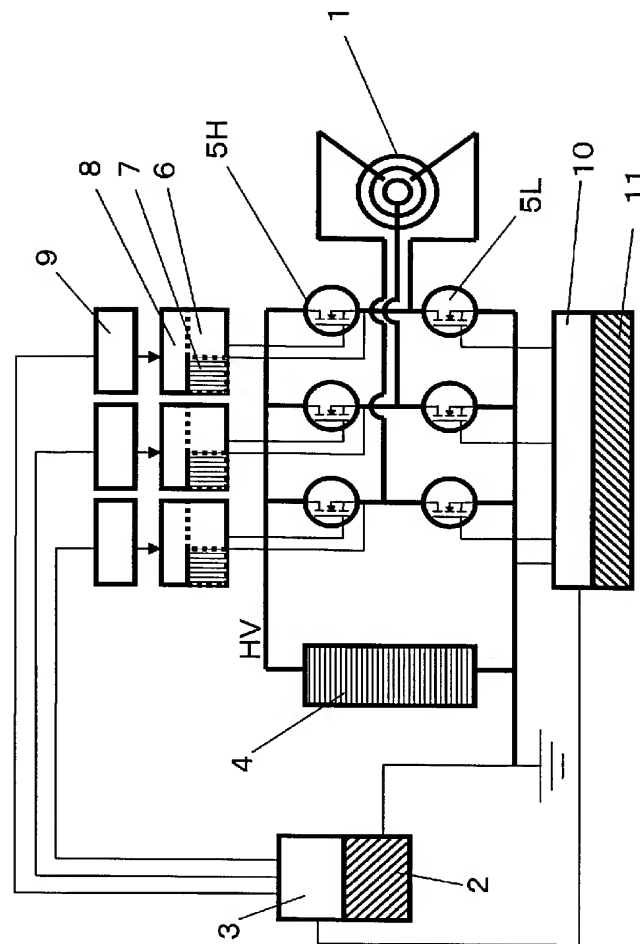
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015575

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08 (2006.01), **H01L21/8234** (2006.01), **H01L27/06** (2006.01), **H01L21/822** (2006.01), **H01L27/04** (2006.01), **H01L27/095** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08 (2006.01), **H01L21/8234** (2006.01), **H01L27/06** (2006.01), **H01L21/822** (2006.01), **H01L27/04** (2006.01), **H01L27/095** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 08-335863 A (International Rectifier Corp.), 17 December, 1996 (17.12.96), Full text; all drawings & US 5502412 A Full text; all drawings & GB 2300533 A & DE 19617358 A1 & FR 2733860 A1 & KR 196338 B1 & TW 453024 A	1, 4, 5, 8-11 2, 3, 6, 7, 12-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

15 November, 2005 (15.11.05)

Date of mailing of the international search report

22 November, 2005 (22.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015575

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-093920 A (Matsushita Electric Industrial Co., Ltd.), 29 March, 2002 (29.03.02), Full text; all drawings & US 2003/006415 A1 Full text; all drawings & WO 2002/001641 A1 & EP 1231640 A1 & JP 2004-282091 A	1, 4, 5, 8-11 2, 3, 6, 7, 12-15
Y	JP 2002-203966 A (Toshiba Corp.), 19 July, 2002 (19.07.02), Full text; all drawings (Family: none)	4, 8
A	JP 2003-228320 A (Matsushita Electric Industrial Co., Ltd.), 15 August, 2003 (15.08.03), Full text; all drawings (Family: none)	1-15
A	JP 2003-079131 A (Mitsubishi Electric Corp.), 14 March, 2003 (14.03.03), Full text; all drawings & US 2003/0048116 A1 Full text; all drawings & CN 1404209 A & DE 10235444 A1 & KR 2003021118 A	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H02M1/08** (2006.01), **H01L21/8234** (2006.01), **H01L27/06** (2006.01), **H01L21/822** (2006.01), **H01L27/04** (2006.01), **H01L27/095** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H02M1/08** (2006.01), **H01L21/8234** (2006.01), **H01L27/06** (2006.01), **H01L21/822** (2006.01), **H01L27/04** (2006.01), **H01L27/095** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 08-335863 A (インターナショナル・レクチフ アイヤー・コーポレーション) 1996. 12. 17, 全文, 全図 & US 5502412 A, 全文, 全図 & GB 230053 3 A & DE 19617358 A1 & FR 2733 860 A1 & KR 196338 B1 & TW 453 024 A	1, 4, 5, 8-11 2, 3, 6, 7, 12-15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

15. 11. 2005

国際調査報告の発送日

22. 11. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 03-3581-1101 内線 3498

4 L

3125

様式PCT/ISA/210 (第2ページの続き) (2005年4月)